

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-258263

(43)Date of publication of application : 03.10.1997

(51)Int.Cl.

G02F 1/136

(21)Application number : 08-065031

(71)Applicant : SHARP CORP

(22)Date of filing : 21.03.1996

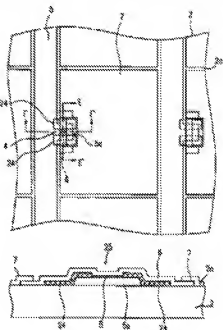
(72)Inventor : FUJIKAWA YOSUKE  
ISHIMOTO YOSHIHISA  
YOSHIMIZU TOSHIYUKI

## (54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To minimize an additive capacitance which arises inevitably in the MIM(metal-insulator-metal) formed without using the etching ends of lower electrodes and has a shape allowing easy patterning.

SOLUTION: The section or a part branched from a signal wiring 5 is formed as a lower electrode 5a, and a second insulator 24 is disposed only above the part near this etching end. The second insulator 24 forms a contact slit 25. The lower electrode 5a of the position corresponding to the contact slit 2, a first insulator 8 having a nonlinear voltage-current characteristic and an upper electrode 6 function as the MIM element. As a result, the area of the section where the additive capacitor is eventually formed is geometrically minimized.



(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0

審査請求 未請求 請求項の数10 O L (全 21 頁)

(21) 出願番号 特願平8-65031

(22) 出願日 平成8年(1996)3月21日

(71) 出願人 000005049

シャープ株式会社  
大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 藤川 剛介

大阪府大阪市阿倍野区長池町22番22号 シ  
ヤープ株式会社内

(72) 発明者 石本 佳久

大阪府大阪市阿倍野区長池町22番22号 シ  
ヤープ株式会社内

(72) 発明者 吉水 敏幸

大阪府大阪市阿倍野区長池町22番22号 シ  
ヤープ株式会社内

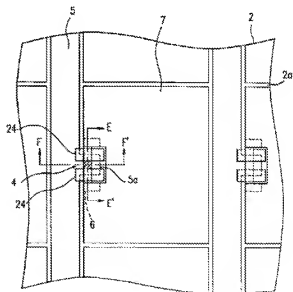
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 液晶表示装置およびその製造方法

(57) 【要約】

【課題】 下部電極のエッチング端を使用しないMIM素子において、不可避免的に発生する付加容量を最小限にし、かつパターンニングしやすい形状のMIM素子を実現する。

【解決手段】 信号配線5から分岐した部分または一部を下部電極5aとして、そのエッチング端の近傍の上方にのみ第2の絶縁体24を設ける。第2の絶縁体24はコンタクトスリット25を形成しており、コンタクトスリット25に対応する位置の下部電極5a、非線形電圧-電流特性を有する第1の絶縁体8および上部電極6がMIM素子として機能する。これにより、付加的な容量が形成されてしまう部分の面積を幾何学的に最小限に抑える。



【特許請求の範囲】

【請求項1】 一対の基板と、該一対の基板の間に挟まれた液晶層とを備えており、該一対の基板の少なくとも一方の該液晶層側の表面にはマトリクス状に配置された複数の画素電極と、複数の信号配線と、該複数の画素電極のそれぞれと該複数の信号配線のうちの対応する1つに接続された2端子非線形素子とが形成されている液晶表示装置であって、

該2端子非線形素子は、該対応する信号配線に接続された下部電極と、該下部電極を覆うように形成された非線形性を有する絶縁体と、対応する画素電極に接続された上部電極とを有しており、

該絶縁体は、非線形性を示す第1の絶縁体と、該下部電極のエッチング端を覆うように形成されており、該上部電極を該第1の絶縁体に電気的に接続するためのスリットを有している第2の絶縁体とで構成され、それにより該2端子非線形素子のサイズが該第2の絶縁体の該スリットの開口幅および該上部電極の幅幅によって決定される、液晶表示装置。

【請求項2】 前記2端子非線形素子の前記下部電極は、前記対応する信号配線の一部であり、該対応する信号配線の直上に該2端子非線形素子が形成されている、請求項1に記載の2端子非線形素子。

【請求項3】 前記2端子非線形素子の前記第2の絶縁体は、金属窒化物、金属酸化物および有機絶縁膜のいずれか1つあるいは積層物からなる膜である、請求項1または2に記載の液晶表示装置。

【請求項4】 一対の基板と、該一対の基板の間に挟まれた液晶層とを備えており、該一対の基板の少なくとも一方の該液晶層側の表面にはマトリクス状に配置された複数の画素電極と、複数の信号配線と、該複数の画素電極のそれぞれと該複数の信号配線のうちの対応する1つとに接続された2端子非線形素子とが形成されている液晶表示素子の製造方法であって、該2端子非線形素子を形成する工程が、

(a) 該対応する信号配線に接続された下部電極を形成する工程と、

(b) スリットを有する中間絶縁層を該下部電極の上面に形成する工程であって、該中間絶縁層は直線状にエッチングされた該下部電極の両端を覆うように形成され、該スリットを該下部電極の上面に、かつ直線状に形成された該下部電極に平行な方向に設ける工程と、

(c) 非線形性を有する絶縁体を少なくとも該下部電極の表面を露出させることにより形成する工程と、

(d) 上部電極を該中間絶縁層の該スリットと交差する向きに直線状に形成する工程と、を包含する、液晶表示装置の製造方法。

【請求項5】 前記中間絶縁層を窒化ケイ素から形成し、前記下部電極の表面を露出させる際の化成電圧を20V以上35V以下とする、請求項4に記載の液晶表

示装置の製造方法。

【請求項6】 前記下部電極、前記非線形性を有する絶縁体および前記上部電極から形成される容量体の容量 $C_{ad}$ と、該下部電極、前記中間絶縁層および該上部電極から形成される容量体の容量 $C_{ad}$ との関係が、 $C_{ad} \leq 0.25 \times C_{ad}$ である、請求項4または5に記載の液晶表示装置の製造方法。

【請求項7】 一対の基板と、該一対の基板の間に挟まれた液晶層とを備えており、該一対の基板の少なくとも一方の該液晶層側の表面にはマトリクス状に配置された複数の画素電極と、複数の信号配線と、該複数の画素電極のそれぞれと該複数の信号配線のうちの対応する1つとに接続された2端子非線形素子とが形成されている液晶表示装置の製造方法であって、該2端子非線形素子の製造工程は、

(a) 該対応する信号配線に接続された下部電極を形成する工程と、

(b) 少なくとも該下部電極の表面上に、陽極酸化法により非線形性を有する絶縁体を形成する工程と、

(c) スリットを有する中間絶縁層を該下部電極の上面に形成する工程であって、該中間絶縁層は、該絶縁体の非線形性に影響を与えないような温度で形成され、直線状にエッチングされた該下部電極の両端を覆うように配置され、該スリットを該下部電極の上面にかつ直線状に形成された該下部電極に平行な方向に設ける工程と、

(d) 上部電極を、該中間絶縁層の該スリットと交差する向きに直線状に形成する工程と、を包含する液晶表示装置の製造方法。

【請求項8】 前記下部電極、前記非線形性を有する絶縁体および前記上部電極から形成される容量体の容量 $C_{ad}$ と、該下部電極、前記絶縁体と前記中間絶縁層、および該上部電極から形成される容量体の容量 $C_{ad}$ との関係が、 $C_{ad} \leq 0.25 \times C_{ad}$

である、請求項7に記載の液晶表示装置の製造方法。

【請求項9】 前記中間絶縁層として、金属窒化物、金属酸化物および有機絶縁膜のいずれか1つ、もしくはこれらの積層物を形成する、請求項4、6、7および8のいずれか1つに記載の液晶表示装置の製造方法。

【請求項10】 前記中間絶縁層は約25℃以下で形成される、請求項7に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は液晶表示装置に関するもので、特に2端子非線形素子の製造方法に使用されるものである。

【0002】

【従来の技術】 近年、液晶表示装置はその低消費電力、薄型、軽量である特徴から、パーソナルコンピュータ

一、ワードプロセッサ、オフィスオートメーション用の端末表示装置、テレビジョンなどの表示用途に使用されてきており、より大容量表示、高画質が求められている。

【0003】従来の液晶表示装置は、TN (Twisted Nematic) 方式あるいはSTN (SuperTwisted Nematic) 方式の電圧平均化法による単純トリス駆動を行っていたが、この方式では走査線の増加によってコントラスト比が十分に得られなくなるため、大容量表示に適さない。

【0004】そこで、表示画面を構成している個々の画素にスイッチング素子を設けたアクティブ駆動が開発されている。上記スイッチング素子としては、薄膜トランジスタや2端子非線形素子が用いられているが、構造が簡単で、製造コストの面で有利な2端子非線形素子を用いた液晶表示装置が有望視されており、金属-絶縁体-金属 (Metal-Insulator-Metal、以降MIMと呼称する。) 構造を有するものは実用化がなされている。

【0005】このMIM素子は、入力信号の電圧が小さい時に高抵抗となる特性を持ち、また入力信号の電圧が液晶を駆動させるために十分に大きい時には低抵抗となるいわゆるPoole-Frenkel則に従った電圧-電流特性を示す。

【0006】MIM素子を形成した液晶表示装置は、このような非線形電流-電圧特性をON/OFFのスイッチングに応用したものである。

【0007】図10は、従来のMIM素子を用いた液晶表示装置1の平面図である。図中ではMIM素子が形成されている基板 (素子側基板) 2が紙面の向こう側にあり、対向側電極が形成されている基板 (対向側基板) 3が紙面手前側にあるように示されている。この液晶表示装置1は、480ドット (H) × 320ドット (V) のいわゆるH-VGAの画素配列を持ち、反射型でモノクロ表示を行う。

【0008】図11は、液晶表示装置1の表示領域内の任意の位置Aにおける素子側基板2に形成されている1画素を示す平面図である。図12は、素子側基板2に向かい合わせられる対向側基板3の平面図である。図13は、図11のB-B'線に沿った液晶表示装置1の断面図である。

【0009】1つの画素は、ガラス基板2の表面2a上に形成された面素電極7、信号配線5、およびMIM素子4から構成される。

【0010】信号配線5の各々は、素子側基板端に形成された素子側端子15に接続される。また、信号配線に直交する向きになるように、対向側基板3の表面3a上にストライプ状に形成された対向側電極9は、対向側基板端に形成された対向側端子16に接続されている。液晶表示装置1を駆動させるときは、上記の素子側端子15と対向側端子16の間に信号波形を印加して行う。

【0011】また、図11の斜線部で示されるMIM素子4は、後述するように、MIM素子4の容量と液晶の容量とが適正な容量比となるように設計する必要がある。一般的な目安としては、液晶の容量/素子の容量が1.0前後となるように設計される。

【0012】MIM素子4を構成する材料に關しては、例えば下部電極としてタンタル (Ta)、上部電極としてチタン (Ti)、アルミニウム (Al) あるいはクロム (Cr) が用いられ、絶縁体には酸化タンタル (Ta<sub>2</sub>O<sub>5</sub>) が用いられる。

【0013】素子側基板を作製する方法の例を、図14に従って説明する。図14は、MIM素子4の断面を示している。

【0014】まず、ガラス基板2の表面2a上にタンタル (Ta) 薄層をスパッタリング法によって堆積し、これをフォトリソグラフィ法によってパターンニングすることにより信号配線5および下部電極5aを形成する (図14 (a))。

【0015】次に、例えば陽極酸化法によってTa薄層上に酸化タンタル (Ta<sub>2</sub>O<sub>5</sub>) からなる絶縁体8を形成する (図14 (b))。

【0016】次に、上部電極6として例えばチタン (Ti) をTaと同様に、基板上に薄層形成し、上部電極6のパターンを形成する (図14 (c))。

【0017】さらに透明導電材、例えばITO (Indium Tin Oxide) を燐膜形成し、フォトリソグラフィ法によって面素電極7を形成する (図14 (d))。

【0018】MIM素子4が各画素に設けられたガラス基板 (素子側基板) 2は、液晶分子14の配向制御のために、ポリイミド膜などの配向膜10の形成とラビング処理が行われる。

【0019】また、基板表面3aに対向側電極9が形成された対向側基板3にも同様に配向膜11を形成し、素子側基板のラビング方向と例えば90°ねじった方向にラビング処理が行われる。

【0020】上記素子側基板2と対向側基板3は、配向膜が向かい合わせになり、かつ1.0μm前後の間隔を保持するようにシール材17を介して貼り合わせられ、液晶が注入・封止され液晶セルを構成される。ここで偏光板12としては反射板付きのものが用いられる。

【0021】そして、この液晶セルの外側表面に偏光軸を90°ねじった形で偏光板12および13を配置することによって液晶表示装置1が構成される。ここで偏光板12としては反射板付きのものが用いられる。

【0022】なお、偏光板12として、透過タイプの偏光板を貼り付け、バックライトを使用すれば透過型の液晶表示装置になるのはいうまでも無い。もちろん対向側基板3にマイクロカラーフィルターを形成すれば、カラー表示を行うことも可能である。

【0023】ところで、上述したような反射型液晶表示装置1は、外部からの入射光を反射させて表示を行うも

のである。したがって、バックライトが不用となり、消費電力が低くかつ薄型軽量化が可能となるために、例えば携帯情報端末のディスプレイとして期待されている。特にこのディスプレイとしては、高解像度・大容量で、ペーパーホワイトと呼ばれる明るい反射型液晶表示装置が適している。

【0024】しかしながら、このような反射型液晶表示装置1では、入射光が偏光板13で吸収されてしまうために、通常、反射率は50%以下となってしまう、明るさについては十分な明るさとは言いえない。

【0025】このような問題に対して、偏光板を用いずに全ての入射光を有効に利用する表示モードの液晶表示装置が提案されている。このような液晶表示装置としては、例えば相転移型ゲスト・ホスト方式の液晶表示装置が挙げられる。

【0026】図15は、相転移型ゲスト・ホスト(GH)方式の液晶表示装置の素子側基板2の平面図である。また、図16はその対向側基板3の平面図であり、図17は図15中C-C'における断面図である。

【0027】なお、この液晶表示装置の基本的な平面図は図10と同じであり、H-VGMAの画素配列を有するで省略する。しかし、図16に示すように、この液晶表示装置では、カラー表示を行わせるために、対向側基板3にシアン18aとレッド18bのマイクロカラーフィルターが交互に設けられている。したがって、素子側基板2の数は、480本の2倍の数を必要とするので、960本設けている。

【0028】この液晶表示装置では、画素電極7は反射板の機能を兼ねており、輝度およびコントラスト比を向上させるために、凹凸(図15中において実線で示された大小の円)を形成した有機絶縁層19の上面に形成され、高反射率を有する拡散反射面となっている。すなわち、図10に示す従来の反射型液晶表示装置では液晶セルの外側表面に形成されていた反射板を、このゲスト・ホスト方式の液晶表示装置では液晶セル内部に形成している。この画素電極兼反射板の材料としては、例えばアルミニウム(Al)が用いられる。

【0029】また、MIM素子4の上部電極6と画素電極7との電気的接続は、有機絶縁層19に設けたスルーホール20を通じて行う。

【0030】表示のON/OFFは、画素電極7と対向側電極9との間に印加される電圧によって、2色性色素を含んだゲストホスト液晶の配向状態を制御することによって行う。2色性色素の分子(図17の21)は液晶分子(図17の22)に沿って配向する性質を有している。したがって、電圧印加時には、液晶分子および2色性色素の分子が基板表面に対してほぼ垂直方向に配列するので、対向側基板方向から入射した光は、2色性色素に吸収されずに液晶層を通過して、反射板を兼ねた画素電極7で反射して再度液晶層19を通過して出射する。ま

た電圧無印加時には、液晶分子および2色性色素の分子が不規則に配列しているため、入射した光は2色性色素に吸収され、遮断される。このようにして、入射光の反射による明るい表示(白表示)と、入射光の遮断による暗い表示(黒表示)が行われる為、偏光板が不要であり明るい表示が得られる。

【0031】このような相転移型の液晶表示装置であっても、基本的な等価回路は図10に示した液晶表示装置と同一である。このため、液晶とMIM素子との容量比は、適切な値(約10)になるように設計される。

【0032】図18(a)はこうしたMIM素子を用いた液晶表示装置の1画素の等価回路図である。MIM素子は、非線形抵抗( $R_{910}$ )と容量( $C_{910}$ )の並列回路で表記される。また液晶は抵抗( $R_{110}$ )と容量( $C_{110}$ )の並列回路である。

【0033】図18(b)から(e)は基本的な駆動信号波形および液晶に印加される電圧の時間変化を示したものである。

【0034】例えば、走査線(対向側電極)には周期T毎に振幅Vpの選択波形が $T_{on}$ の長さの期間印加され(図18(b))、信号配線(下側電極)には液晶の表示状態を決定するデータ信号が印加される(図18(c))。実際に印加される電圧は、(b)と(c)との合成になるので(d)のような波形となる。

【0035】一般には、液晶の信頼性を保持するために、交互に極性を反転させ交流駆動を行う。

【0036】いま、ある走査線(対向側電極)に選択波形が印加された時を考えると。このとき、選択された画素に加わる電圧( $V_{10} \pm V_g$ )は、容量分割されたMIM素子に印加される電圧 $V_{910}$ は、 $V_{910} = C_{110} / (C_{110} + C_{910}) \cdot (V_{10} \pm V_g)$ である。

【0037】ここで、MIM素子の容量 $C_{910}$ を十分小さく、つまり $C_{910} \ll C_{110}$ としておけば、ほとんどの電圧はMIM素子に印加されることになる。このとき、MIM素子は電圧が高いときに低抵抗となる非線形性の電圧-電流特性を有しているためON状態となり、表示状態に対応した電荷が液晶の容量 $C_{110}$ に書き込まれる。

【0038】このような選択時間( $T_{on}$ )が終了して選択波形が立ち下がる時、液晶に印加される電圧 $V_{10}$ は $C_{110}$ と $C_{910}$ の容量結合により、以下に示す $\Delta V$ だけ急減し、次に選択されるまでMIM素子のOFF抵抗を介して放電し続ける。

【0039】

$$\Delta V = C_{910} / (C_{110} + C_{910}) \cdot (V_{10} \pm V_g)$$

以後も同様の信号の繰返すことにより表示を行うが、液晶の容量 $C_{110}$ とMIM素子の容量 $C_{910}$ の比 $C_{110}/C_{910}$ はできるだけ大きい方が望ましい。なぜならば、この比の値が小さいと、選択時にMIM素子へ十分な電圧が加わらないで不完全なON状態になる、あるいは

選択波形が立ち下がる時、液晶に加わる電圧の急減(ΔV)が大きくなるので、液晶に印加される実効電圧が低下する等の問題が生じるからである。したがって、良好な表示を行うためには、目安として $C_{ic}/C_{eq}$ は10前後を確保することが望ましいとされている。

【0040】また、画素毎に素子と液晶の容量比が異なることを表示ムラとなるため、MIM素子の容量がばらつくことも避けねばならない。非線形性を有する薄い絶縁体を、陽極酸化法で形成した場合は、膜厚の仕上がりが良い絶縁体が得られるので、MIM素子の容量のばらつきは実質的に素子の面積の仕上がりによって左右されることになる。このため、表示ムラを防ぐためには、寸法の均一な素子を作ることが重要である。

【0041】図19は、液晶の容量/MIM素子の容量の比と、液晶表示装置のコントラスト比との関係を示した図である。図19には解として、相転移型のGHモードを利用した反射型液晶表示装置を測定した結果を示す。容量比は、画素の電極面積(すなわち液晶の容量)は一定として故意に素子の寸法面積を変えた液晶表示装置を作製し、値を5.98、7.82、10.84、12.88および21.68とした。

【0042】コントラスト比は、液晶と素子との容量比が10前後で飽和し、容量比が小さくなると低下する傾向を示す。特に容量比が8に満たないとコントラストの低下が大きくなるため、容量比は8以上、好ましくは10を確保することが望ましい。

【0043】また容量比が小さい程、駆動電圧を高くしないと素子が充分ONにならないため、駆動LSIの耐圧や消費電力を考慮すると低い駆動電圧が望まれる。したがって、液晶と素子との容量比は大きいことが好ましい。

【0044】

【発明が解決しようとする課題】ここで、前記MIM素子の絶縁体8の厚さは40〜70nm程度であるため、電気的耐圧が低く、工程中で生じる静電気によって容易に絶縁破壊され得る。この結果、MIM素子の上下電極が短絡し、MIM素子がエッチング素子として機能しなくなった画素は、画面上に点欠陥として現れるために表示品位を落とす。液晶表示装置を製造する上で歩留まりが悪化する。

【0045】特に、携帯情報端末などに使用される液晶表示装置には、高解像度で大容量表示のものが要求され、画素数すなわち素子の数は必然的に多くなる。加えてカラー表示を行う場合には、モノクロ表示の画素配列数と同じ画素の表示であっても、マイクロカラーフィルターを敷ける分だけ、さらに素子の数は増加する。

【0046】また、マイクロカラーフィルターを形成した場合は、点欠陥部分は着色して見え、より点欠陥が目立ち見苦しくなる。したがって、点欠陥の抑制は重要な

課題となっている。

【0047】このため、静電気対策として工程中の湿度管理、作業者にアースを設けたり、イオナイザーなど、液晶表示装置製造下での環境の制御が行われているが、完全なMIM素子の絶縁破壊を防止することはできない。

【0048】そこで、MIM素子の耐圧性をものを改善する試みも検討されている。絶縁体8の膜厚を厚くして電気的耐圧を向上させることはできるが、スイッチング素子としての特性が悪くなり、電圧-電流特性の急峻性が悪くなってしまうので、素子の構造的な面から検討が行われている。

【0049】一般にMIM素子においては、下部電極パターンエッチング端上に位置する絶縁体には電界が集中し易いため、あるいは絶縁体の形成時のステップカバレジ性の悪さのために絶縁破壊が引き起こされ易い。従来の構造のMIM素子においては、下部電極の平坦部上に位置する絶縁体だけでなく、必然的にエッチング端上に位置する絶縁体もMIM素子の絶縁体として使用されるため、MIM素子自体の絶縁破壊が引き起こされ易くなっている。

【0050】そこで、絶縁破壊され易い下部電極のエッチング端部の絶縁体を、さらに絶縁性を有する中間層で覆うことが提案されている。これは、下部電極の平坦部上の絶縁体のみをMIM素子の絶縁体として使用することにより、素子の絶縁破壊を低減するものである。このようなMIM素子は、例えば特開平1-270027号、特開平3-160420号、特開平4-367827号および特開平5-119353号に記載されている。

【0051】このような中間絶縁層を備えたMIM素子は、一般的には、下部電極を形成する工程と、非線形性を有する絶縁体(第1の絶縁体)を形成する工程と、中間絶縁層(第2の絶縁体)を形成する工程と、上部電極を形成する工程とを経て作製され、中間絶縁層の一部に設けられた孔状の開口部(コンタクトホール)を介して、上部電極と非線形性を有する絶縁体および下部電極とが接続された、いわゆるトップコンタクト構造がとられる。

【0052】図20(a)はこのような中間絶縁層にコンタクトホールを設けて形成したMIM素子の平面図である。また、図20(b)から(d)は、図20(a)のD-D'線に沿った素子側基板の断面図である。この断面は、素子の形成方法により種々の層構造をとるが、いずれの場合でも下部電極5aのエッチング端を素子として使用していないことが特徴である。

【0053】例えば、図20(b)の素子は、以下の工程で形成することができる。

【0054】まず、素子側基板2の表面に下部電極5aを形成した後、下部電極5aの表面を陽極酸化し、非線

形を有する絶縁体8を成膜する。

【0055】次に中間絶縁層24を基板2の表面に成膜し、コンタクトホールとなる開口部分23を開ける。一般には中間絶縁層24としては金属酸化物あるいは窒化物が用いられることが多い。ただし、中間絶縁層24は、低溫で成膜する必要がある。先に成膜した絶縁体8が、中間絶縁層24を成膜するための熱プロセスにおいて高温にさらされると、MIM素子の特性が悪化してしまうからである。

【0056】このコンタクトホールを開けた状態で上部電極6を形成してMIM素子を構成し、次いで側素電極7を形成して、これを上部電極6に接続する。したがって、MIM素子は、下部電極5a-絶縁体8-上部電極6からなり、素子の面積はコンタクトホール23の面積となる。

【0057】ここで、中間絶縁層24を成膜する際の際によるMIM素子の特性の劣化を避けるために、絶縁体8と中間絶縁層24とを形成する順番を変えることもできる。例えば図20(c)に示すMIM素子は、以下の工程で形成することができる。

【0058】まず、素子側基板2の表面に下部電極5aを形成した後、中間絶縁層24を成膜し、コンタクトホールとなる開口部分23を開ける。次に、非線形性を示す絶縁体8を基板2の表面にスパッタリング法などにより成膜し、所定の形状にパターニングする。さらに、上部電極6および側素電極7を、上述した中間絶縁層24の形成に先立って絶縁体8を形成する場合と同様に形成する。

【0059】このようにして得られる図20(c)に示すMIM素子においても、素子の面積はコンタクトホール23の面積となる。

【0060】ただし、絶縁体8をスパッタリング法を用いて成膜した場合は、ピンホールが生じ易く、また膜厚の均一性が劣るために素子の容量がばらつくという問題がある。したがって、図20(c)に図示するMIM素子の形成工程において、非線形性を有する絶縁体8を他の方法で成膜することにより、膜厚の均一性を図ることもできる。例えば、スパッタリング法に代えて、陽極酸化法あるいは熱酸化法を用いることができる。この場合、絶縁体8はコンタクトホール23に対応する下部電極5aの部分の表面のみに成膜されるので、MIM素子の断面は、図20(d)に示す構造を取る。

【0061】このように、コンタクトホールを利用した構造のMIM素子は、絶縁破壊されやすい下部電極のエ

ッチング環を素子として使わないので、絶縁破壊の確率を抑制することができ、それ故に欠陥対策として行われる。しかし、このようなMIM素子でも場合によっては問題が生じる。

【0062】既述したように、情報機器端末に使われる液晶表示装置は小型画面でありながら大容量表示を求められる為、必然的に画素ピッチが小さくなる。したがって、1画素の液晶の容量が小さくなる。

【0063】前述したように、液晶MIM素子との容量比は10前後を確保する必要があるため、必然的にMIM素子の寸法(容量)を小さくする必要がある。場合によっては数 $\mu\text{m}$ の寸法が要求され、露光上の限界に近付くこともある。

【0064】ここで、このような小さい寸法が素子として要求された、コンタクトホールを用いた構造のMIM素子を考える。

【0065】従来、コンタクトホールを設計する場合には、下部電極・コンタクトホールおよび上部電極のバタンの重ね合わせずれやエッチングによる線幅の細りを考慮して、コンタクトホールの寸法(すなわち素子の寸法)よりも下部電極および上部電極の幅幅を太くした露光マスクを製作する。

【0066】前述したように液晶と素子の容量比が重要であると述べた通り、素子の寸法(容量)が大きくなることは避けなければならない。しかし、従来の構造のMIM素子の場合、下部電極5a-絶縁体8-上部電極6で構成される素子の容量とは別に、図20(a)に図示した斜線部分Eに付加容量が生じてしまう。この付加容量は、コンタクトホールを設ける場合、不可避的に発生しOにすることはできない。

【0067】この容量体の構造は、図20(b)や図20(c)の素子断面であれば、下部電極5a-絶縁体8-中間絶縁層24-上部電極6から構成され、図20(d)の素子断面であれば下部電極5a-中間絶縁層24-上部電極6からなる。

【0068】この容量体はダイオードとして機能はしないが、本来の素子容量 $C_{\text{MIM}}$ に並列に接続された容量体( $C_{\text{add}}$ )であり、結果的に素子の容量を大きくしてしまう(図18(a)の等価回路において増設されている)。したがって、液晶と素子との容量比が小さくなり不具合である。

【0069】具体的に液晶と素子との容量比の低下を計算してみる。例として、以下の数値を用いる。

【0070】

素子の構造:	: 図20(a)
下部電極の仕上がり線幅	: $10\mu\text{m}$
上部電極の仕上がり線幅	: $10\mu\text{m}$
スルーホール(素子)の仕上がり面積	: $4\mu\text{m} \times 4\mu\text{m}$
絶縁体8( $\text{Ta}_2\text{O}_5$ )の膜厚( $d_{\text{絶縁}}$ )および比誘電率( $\epsilon_{\text{絶縁}}$ )	: $60\text{nm}$ , $20$

中間絶縁層 ( $\text{Si}_3\text{N}_4$ ) の膜厚 ( $d_{\text{Si3N4}}$ ) および比誘電率 ( $\epsilon_{\text{Si3N4}}$ )

;  $300\text{nm}$ ,  $8$

上記の数値を用いると本来の  $\text{MIM}$  素子の面積

( $S_{\text{MIM}}$ ) は  $16\mu\text{m}^2$ 、付加の容量体の面積 (斜線部  $E$ 、 $S_{\text{add}}$ ) は  $10 \times 10 - 16 = 84\mu\text{m}^2$  となる。

$$C_{\text{add}} = C_{\text{MIM}} \times (\epsilon_{\text{Si3N4}} S_{\text{add}} / d_{\text{Si3N4}}) / (\epsilon_{\text{Si3N4}} S_{\text{MIM}} / d_{\text{Si3N4}}) \\ \approx C_{\text{MIM}} \times 0.42$$

となる。

【0072】すなわち付加の容量  $C_{\text{add}}$  は本来の素子の容量  $C_{\text{MIM}}$  の約  $42\%$  となる。したがって、誘電体と素子との容量比は、当初設定した値  $C_{\text{add}}/C_{\text{MIM}} = 1.0$  が、実質的に  $1.0 / (1 + 0.42) \approx 0.7$ 、 $0.4$  まで小さくなってしまふことが判る。画素ピッチが小さく  $C_{\text{add}}/C_{\text{MIM}}$  の容量比が  $1.0$  に満たない場合には、益々このような付加容量の存在が問題となる。

【0073】この結果、任意の素子 (画素) に選択波形が印加されても十分に  $\text{ON}$  状態にならず、コントラスト比が小さくなってしまふので問題である。

【0074】加えて、コンタクトホール の寸法が小さいために、パターンがき裂けず、接離不良が生じ、素子の形成そのものが困難になる問題もある。

【0075】本発明はこのような現状に鑑みてなされたものであり、中間絶縁層を用いた構造の  $\text{MIM}$  素子の形成において不可避免的に発生する素子への付加容量を最小限にし、かつパターンニングしづらい形状とした  $\text{MIM}$  素子を実現し、点欠陥を抑制した液晶表示装置を提供することを目的とする。

【0076】

【課題を解決するための手段】本発明の液晶表示装置は、一対の基板と、該一対の基板の間に挟まれた液晶層とを備えており、該一対の基板の少なくとも一方の該液晶層側の表面にはマトリクス状に配置された複数の画素電極のそれぞれと該複数の信号配線のうちの対応する1つに接続された2端子非線形素子が形成されている液晶表示装置であって、該2端子非線形素子は、該対応する信号配線に接続された下部電極と、該下部電極を覆うように形成された非線形性を有する絶縁体と、対応する画素電極に接続された上部電極とを有しており、該絶縁体は、非線形性を有する第1の絶縁体と、該下部電極のエッチング端を覆うように形成されており、該上部電極を該第1の絶縁体に電気的に接続するためのスリットを有している第2の絶縁体とで構成され、それにより該2端子非線形素子のサイズが該第2の絶縁体の該スリットの開口幅および該上部電極の線幅によって決定され、そのことにより上記目的を達成する。

【0077】前記2端子非線形素子の前記上部電極は、前記対応する信号配線の一部分であり、該対応する信号配線の直上に該2端子非線形素子が形成されてもよい。

【0078】前記下部電極、前記第1の絶縁体および前記上部電極から形成される容量体の容量  $C_{\text{MIM}}$  と、該下

【0071】容量  $C$  は、面積  $S$  および比誘電率  $\epsilon$  と膜厚の逆数  $1/d$  に比例するので、 $C_{\text{add}}$  と  $C_{\text{MIM}}$  との関係は算出でき、

部電極、前記第2の絶縁体 (あるいは該第2の絶縁体と該第1の絶縁体との積層体) および上部電極から形成される容量体  $C_{\text{add}}$  との関係が、 $C_{\text{add}} \approx C_{\text{MIM}} \times 0.25$  であると好ましい。

【0079】前記2端子非線形素子の前記第2の絶縁体は、金属窒化物、金属硫化物および有機絶縁膜のいずれか1つでよいが、これらの積層物であってもかまわない。

【0080】本発明の液晶表示装置の製造方法は、

(a) 信号配線に接続された下部電極を形成する工程と、(b) スリットを有する中間絶縁層を該下部電極の上面に形成する工程であって、該中間絶縁層は直線状にエッチングされた該下部電極の両端を覆うように形成され、該スリットを該下部電極の上面に、かつ直線状に形成された下部電極に平行な方向に設ける工程と、(c) 非線形性を有する絶縁体を少なくとも下部電極の表面を膜酸化することにより形成する工程と、(d) 上部電極を該中間絶縁層の該スリットと交差する向きに直線状に形成する工程とを包含しており、そのことにより上記目的を達成する。

【0081】前記液晶表示装置の製造方法において、前記中間絶縁層を酸化ケイ素から形成し、前記下部電極の表面を膜酸化する際の化成電圧を  $20\text{V}$  以上  $35\text{V}$  以下とすると好ましい。

【0082】また、本発明の液晶表示装置の製造方法は、

(a) 信号配線に接続された下部電極を形成する工程と、(b) 少なくとも該下部電極の表面上に、膜酸化法により非線形性を有する絶縁体を形成する工程と、(c) スリットを有する中間絶縁層を該下部電極の上面に形成する工程であって、該中間絶縁層は、上記絶縁体の非線形性に影響を与えないような温度で形成され、直線状にエッチングされた該下部電極の両端を覆うように配置され、該スリットを該下部電極の上面にかつ直線状に形成された下部電極に平行な方向に設ける工程と、(d) 上部電極を、該中間絶縁層の該スリットと交差する向きに直線状に形成する工程とを包含してもよい。

【0083】また、前記工程 (c) における中間絶縁層の成膜温度は、約  $250^\circ\text{C}$  以下で行うと好ましい。

【0084】以下作用について説明する。

【0085】本発明の液晶表示装置は、下部電極のエッチング端を素子として使用しない素子構造において、必然的に生じ、かつ液晶と  $\text{MIM}$  素子との容量比を減少



させてしまう付加容量を最小限に抑えた構造のMIM素子を得られるので、素子サイズが小さくても適正な容量比を確保しやすく、接続不良の少ないMIM素子を得ることができるとする。

【0086】したがって、大容量表示で画素ピッチの小さい液晶表示装置であっても、点欠陥対策としての素子構造をとることが可能となり、点欠陥を抑えた液晶表示装置を提供することができる。

【0087】

【発明の実施の形態】以下、本発明の液晶表示装置を図面を参照しながら説明する。

【0088】（実施例1）図1は、本発明の液晶表示装置の実施例1における素子側基板2の平面図であり、1画素周辺に相当する。本実施例の液晶表示装置は、図1に示すような構成の素子側基板2と、図12に示すような構成の対向側基板とを有しており、両基板を貼り合わせた状態での平面図は、図10と同一であるので説明を省略する。

【0089】図2は、図1のMIM素子4近傍部の平面図である。なお、見やすくするために画素電極7は省略している。図3（a）、（b）は、それぞれ、図1のE-E'線およびF-F'線に沿った断面図である。

【0090】本実施例の素子側基板2の表面には、マトリクス状に配置された画素電極7、各画素電極7に対して設けられたMIM素子4、および互いに平行に配置された複数の信号配線5が形成されている。各信号配線5は、対応する1列の画素電極7にMIM素子4を介して電気的に接続されている。MIM素子4は、下部電極5a、非線形性を有する第1の絶縁体8および上部電極6からなる2端子素子である。下部電極5aのエッチング端の上方には第2の絶縁体24が設けられており、このMIM素子4は下部電極5aのエッチング端を素子として使用していない。ここで、図1に示す下部電極5aの3つの端部のうちで信号配線5に対向する端部を単に先端と呼び、残りの2つの端部、つまり信号配線5に平行な方向における両端部をエッチング端と呼ぶことにする。

【0091】第2の絶縁体24は、下部電極5aが信号配線5から張り出している方向（図1におけるF-F'線に沿った方向）に平行になるように、かつ下部電極5aのエッチング端の上方にストライプ状に形成され、それにより図2に示すように下部電極5aのエッチング端に挟まれる領域の上方にスリット25を形成している。

【0092】上部電極6は、ストライプ状に形成した第2の絶縁体24に直交する向き（図1におけるE-E'線に沿った方向）に直線状に形成される。

【0093】したがって、本実施例では、MIM素子4として機能するのは図1中の斜線で示した部分であり、この部分の面積は、第2の絶縁体24であるストライプ間の距離（つまり、スリット25の幅）と上部電極6の

線幅とで決定されることになる。

【0094】以下、本実施例における素子側基板2の製造工程を図4に従って説明する。図4は、図1のE-E'線に沿った断面図を示している。

【0095】まず、ガラス基板2の表面2aに、信号配線5および下部電極5aとなる金属薄膜、例えばTa薄膜を形成し、所定の形状にパターンニングする（図4（a））。本実施例では、ガラス基板2としてコーニング社製#7059のフュージョンバイレックスガラスを用いた。また、図示していないが、Ta薄膜を形成する前にガラス基板2の表面2a上に、五酸化タンタルなどの絶縁性を有するペースコート膜を形成しても良い。ペースコート膜は省略することもできるが、ガラス基板からの不純物による汚染を防止でき、良好な素子特性を得ることができる。

【0096】Ta薄膜は、窒素を約2～10mol%含有するTaの焼結体ターゲットを使用したDCスパッタリング法により、300nmの厚さを有するように堆積し、これをCF<sub>4</sub>とO<sub>2</sub>を用いたドライエッチング法を用いて所定の形状にパターンニングした。

【0097】なお、本発明によれば、上述したようにMIM素子4の容量C<sub>eq</sub>は下部電極5aの線幅に左右されず、第2絶縁体24のスリット25の幅と、上部電極6の線幅とによって決定される。したがって、本実施例のようにエッチング精度の高いドライエッチング法を用いる必要は必ずしもない。弗論断として用いたウェットエッチング法によってTa薄膜のパターンニングを行ってもよい。この場合には、処理速度が向上するのでスループットを考えると好ましい。

【0098】次に、基板2の表面2aに、中間絶縁層となる第2の絶縁体24を成膜し、下部電極5aのエッチング端周辺部の上に中間絶縁層24が層るように、下部電極5aの張り出し方向に平行にストライプ状にパターンニングし、スリット25を設ける（図4（b））。本実施例では、第2の絶縁体24として、P-CVD法で窒化ケイ素膜を350℃で厚み300nmで形成し、緩衝弗酸を用いたウェットエッチング法により所定の形状にパターンニングした。絶縁体24のパターンニングは、ウェットエッチング法でなくドライエッチング法を用いても良い。

【0099】次に、第1の絶縁体8を、陽極酸化法を用いて、第2の絶縁体24に覆われていない下部電極5a上に形成した（図4（c））。本実施例では、陽極酸化に用いる電解液として1%酒石酸アンモニウム溶液を用い、温度を25℃、化成電流を陽極酸化される部分の面積に対し0.18mA/cm<sup>2</sup>として陽極酸化を行った。

【0100】ここで、MIM素子の絶縁膜として用いる陽極酸化膜を形成する際の化成電圧とMIM素子の欠陥について説明する。

【0101】MIM素子として使われる陽極酸化膜の膜

厚は、一般的には40～70nmである。この厚さは、上述した陽極酸化条件下では、約20～37Vの化成電圧を印加しながら陽極酸化を行うことにより得られる陽極酸化膜の厚さである。本実施例では、化成電圧を31Vとして陽極酸化を行い、厚み約60nmの陽極酸化膜を得た。

【0102】ここで、陽極酸化膜（絶縁体8）の厚みは化成電圧に比例する。一般には、絶縁体8の膜厚が厚いほうが電気的耐圧は高くなるので、特電圧による絶縁破壊を受けにくくなり、MIM素子の欠陥の発生を抑制することができるという点で好ましい。しかし、一般的に素子の電圧－電流特性のしきい値付近の急峻性は、絶縁体8の膜厚の値に逆比例するため、絶縁体8の膜厚を厚くすると急峻性が悪化するので、好ましくない。

【0103】しかしながら、本願発明者は、本実施例に

おけるMIM素子の構造では、陽極酸化により絶縁体を形成する際の化成電圧が低くても、MIM素子の欠陥の発生を抑制できることを見いだした。

【0104】表1に、本願発明者の実験により得られた化成電圧を変えた場合の点欠陥発生数の分布を示す。ここで使用した液晶表示装置は、図16～図18に図示した画素（素子）数が480×CR×320のカラー表示を行う液晶セルであり、1パネル毎にショート欠陥の発生数をカウントした。また比較のために、図11に示すような従来のMIM素子の構造を採用し、絶縁体を形成するための陽極酸化を35Vで実施したパネルについての欠陥の発生数も、併せて記載する。

【0105】

【表1】

化成電圧	1パネルあたりの欠陥発生数							
	0個	1～5個	6～10個	11～15個	16～20個	21～50個	51～100個	101～個
31V	85.3%	14.7%						
35V	52.8%	44.4%	2.8%					
39V	27.3%	57.6%	6.1%					9.1%
従来の素子 (ref.)	27.3%	27.3%	22.7%			13.6%		9.1%

【0106】表1に示すように、従来のMIM素子の構造を採用した場合、1パネルあたりの点欠陥の数が5個以下のパネルの存在割合は約54%であった。これに対して、本実施例のMIM素子の構造では、パネルあたりの点欠陥数が5個以下であるパネルの存在割合を80%前後にまで高めることができ、良好な結果を得た。

【0107】特に表1から、本実施例のMIM素子の構造では化成電圧が低いほど欠陥の発生数が少なく、化成電圧は35V以下、好ましくは31Vとして陽極酸化を実施することが好ましいことがわかる。

【0108】また、35V以下の化成電圧をかけて陽極酸化を行うことにより得られる絶縁体8は上述した陽極酸化条件下では約65nm以下となり、この程度の厚さであればMIM素子の電圧－電流特性のしきい値付近の急峻性を悪化させることがない。このため、本実施例のMIM素子では、素子特性を悪化させることなく、素子の絶縁破壊に対処することができる。

【0109】このようにして下部電極5aの表面を陽極

酸化することにより絶縁体8を形成後、基板2の表面2a上に、例えばTi1からなる薄膜を形成し、これをパターニングして上部電極6を得る（図4（d））。こうして、下部電極5a、第1の絶縁体8および上部電極6からなる2端子非線形素子としてのMIM素子4が得られる。

【0110】このMIM素子4では、上述したようにコンタクトスリット25を介して第1の絶縁体8に下部電極5aと上部電極6とを接続させている。このため、従来のMIM素子の構造で問題となっていた不可逆的に発生する付加の容量 $C_{add}$ を形成する部分の面積を、図2にGで示すように幾何学的に最小とすることができる。

【0111】本実施例のMIM素子に関して、具体的に素子容量および付加容量を計算する。従来のコンタクトホールを有する構造のMIM素子と比較するために、素子容量（面積 $S_{add}$ は4 $\mu\text{m} \times 4\mu\text{m}$ ）は同一として、既述した定数を用い以下の数値とする。

【0112】

素子の構造	：図3（a）
下部電極の仕上がり線幅	：10 $\mu\text{m}$
上部電極の仕上がり線幅	：4 $\mu\text{m}$
スリットの仕上がり線	：4 $\mu\text{m}$
絶縁体8（ $\text{Ta}_2\text{O}_5$ ）の膜厚（ $d_{\text{TaOx}}$ ）および比誘電率（ $\epsilon_{\text{TaOx}}$ ）	：60nm、2.0
中間絶縁層（ $\text{Si}_3\text{N}_4$ ）の膜厚（ $d_{\text{SiN}}$ ）および比誘電率（ $\epsilon_{\text{SiN}}$ ）	：300nm、8

上記の数値を用いると本来のMIM素子の面積

（ $S_{\text{MIM}}$ ）は16 $\mu\text{m}^2$ 、付加の容量体の面積（斜線部

G、 $S_{\text{add}}$ ）は、4×3+4×3=24 $\mu\text{m}^2$ となるので、

となる。

【0114】前述したように、液晶と素子との容量比は8まで許容することができるので、 $C_{\text{add}}$ は $C_{\text{g13}}$ の25%まで許容できる（ $10 / (1 + 0.25) = 8$ ）。

【0116】 加えて、第2の絶縁体24の形状をストライプ状にし、上部電極との接続部分をスリットとしてい  
 るので、パターンニングが行い難い構造はないと考  
 えることができる。また、本実施例では第2の絶縁体2  
 4の形状を本々のストライプで形成したが、図5(a)  
 から(c)に示した形状でコンタクトスリットを設け  
 てよい。例えば、第2の絶縁体24として酸化ケイ  
 素を用いた場合には、フォトリソ工程で使用するレ  
 スト材との密着性が弱く、パターンニングの際にレジ  
 ストが剥がれやすくなるので、M1層のサイズがば  
 らつき易い。そこで、パターンずれが起きないように  
 する為、図5(a)あるいは(b)のように、スト  
 ライプの一方を緩やかに傾斜させるようにしてよい。

【0117】また上部電極6は、絶縁体24のエッチング露地の部分の設置で断線する恐れがあるので、少なくとも上部電極6のパターンより広い面積に絶縁体24を形成しても良い。例えば、図5(c)に示すように、画素全体に絶縁体24を形成しスリットのみを下部電極上に露出しても構わない。

【0118】また、コンタクトスリットとしたことにより以下の効果も得られる。これを図21および図22を用いて説明する。

【0119】通常、TFT (Thin Film Transistor) や MIM素子などのアクティブ素子を用いた液晶表示装置では、素子を作り込むために露光精度を確保できるステッパー露光装置を用いることが多い。

【0120】ステッパー露光の概略を図21に示す。干渉フィルタを通して超高圧水銀灯から発生されたg線およびh線は、必要な露光範囲に光が照射されるようにレチクルブラインド6を通過し、光学ミラー27でコンデンサレンズ28に導光される。必要なパターンが描画されているレチクル29と投影レンズ30とを通して、レジストが塗布されているガラス基板31に達する。

【0121】同一基板に複数のパターンを露光する場合  
には、基板31を逐次移動させて繰り返し露光する。

【10122】さて、露光する際は、出射した光線は、複数の光學ミラーやレンズを用いた光學系を通して基板に到達する。該露光不良や異常がある場合には基板 31 に投影されたパターン像がひずんでしまうことがある。例えば (a) のレジストとマスクとを用いた場合には、図 2-2 (b) に図示するように歪曲像域の中央 L と周囲 L' に位置する素子の寸法が異なり、中央の素子の線幅が太く仕上がり、周囲の素子の線幅が細く仕上がることもある。従来、M1 素子の線幅の割合では、下部電極 5a の線幅の細りと上部電極 6 の細りが相乗して素子の面積を小さくさせ、結果として点灯ムラとなるのでは問題にないらしい。

【0123】また、同様な現象はコンタクトホール型の構造の素子でも発生する恐れがある(図22(b))。この場合、周囲のコンタクトホールの面積(素子の面積)が大きくなるので、やはり点灯ムラが発生する。

【0124】ところが、このような素子の仕上がりのばらつきは非常に小さく工程途中の検査によって発見するのは困難で、点灯検査によつてはじめて判明することもある。

【0125】しかしながら、本実施例のMIM素子のように、スリットを介して上部電極2と非線形性素子3を接続する絶縁体8とを接続し、絶縁体8と上部電極8とを接続する構成では、上述したような素子面積のばらつきを緩和する効果がある。すなわち、露光を行う際、素子面積を決定する第2の絶縁体24のスリット25の幅の仕上がり特性と、上部電極2の幅幅の仕上がり特性とは逆である。したがって、スリット25の幅が設計値よりも大きくなれば、上部電極2の幅幅が設計値よりも小さくなる。幅が広くなったスリット25を介して幅幅が細くなった上部電極2が形成されることと接続されるので、画素領域の最終的に第1の絶縁体8と接続されるので、画素領域の最終的に形成されるMIM素子の中央に偏周とで素子面積の差が緩和されるからである。したがって、露光時の投影異常を原因とする素子面積のばらつきを抑制することができである。

【0126】こうして下部電極5a、絶縁体24、絶縁体8および上部電極6を形成した後に蒸着電極7として例えばITOを所定の形状にパターニングし1画素を形成する。

【0127】この後、配向膜（図示せず）を形成し、それにラビング処理を行った素子側基板に、対向電極層および配向膜を形成し、配向膜にラビング処理を行った対向側基板を貼り合わせ、さらに両基板間に液晶材料を封入することにより液晶層を形成する。以上で液晶セルが完成する。この液晶セルの端面に偏光板を貼り付けると

とによって液晶表示装置が得られる。

【0128】〔実施例2〕実施例1では、第2の絶縁体24をパターンニングしてスリット25を形成した後に、スリット25に対応する位置の下部電極5aの表面を陽極酸化を実施して第1の絶縁体8を形成したが、第2の絶縁体24および第1の絶縁体8を形成する順序を逆にしても、スリットを用いた構造のMIM素子を作製することができる。

【0129】図6(a)、(b)は、それぞれ、第1の絶縁体8をまず形成してから第2の絶縁体24を形成した場合の素子側基板のE-E'線およびF-F'線に沿った断面図である。本実施例では、実施例1とは異なり、下部電極5aのエッチング端が、第2の絶縁体24だけでなく、第1の絶縁体8および第2の絶縁体24の2層の絶縁体で覆われている。

【0130】図6の素子側基板の製造工程を、図7を参照しながら説明する。

【0131】まず、ガラス基板2の表面2aに、番号記号5および下部電極5aとなる金属薄膜、例えばTaを成膜し、所定の形状にパターンニングする(図7

(a))。本実施例では、ガラス基板2として、実施例1と同様に、コーニング社製ヤ7059のフュージョンバイレックスガラスを用いた。

【0132】また、図示していないが、Taを成膜する前にガラス基板表面に五酸化タンタルなどの絶縁性を有するペースコート膜を形成しても良い。

【0133】Ta薄膜は、厚さを約2~10nm、1%含有するTaの絶縁体ターゲットを使用したDCスパッタリング法により厚み300nmで形成し、CF<sub>4</sub>とO<sub>2</sub>を用いたドライエッチング法を用いて所定の形状にパターンニングした。

【0134】なお、MIM素子の容量C<sub>eq</sub>は下部電極5aの線幅に左右されるので、エッチングは精度が高いドライエッチング法を用いる必要は必ずしもない。弗積酸などを用いたウェットエッチング法を用いてもよい。ウェットエッチング法は処理速度を向上させることができるので、スループットを考える上で好ましい。

【0135】次に、第1の絶縁体8を、下部電極5aの表面を陽極酸化することにより形成した(図7

(b))。本実施例では、陽極酸化に用いる電解液として1%酒石酸アンモニウム溶液を用い、温度を25℃、化成電流を陽極酸化される面積に対し0.18mA/cm<sup>2</sup>とし、化成電圧を3Vとして陽極酸化を行い、厚み約60nmの陽極酸化膜を得た。

【0136】次に、中間絶縁層となる第2の絶縁体24を成膜し、下部電極5aのエッチング端周辺部の絶縁体8上に、下部電極5aの張り出し方向に平行にストライプ状にパターンニングし、スリット状のコンタクト部分25を設ける(図7(c))。第2の絶縁体24の成膜は、第1の絶縁体8がMIM素子の絶縁膜として機能することができ程度の温度下で行われる。本発明者の実験では、本実施例のような構造のMIM素子では、第1の絶縁体8であるTa<sub>2</sub>O<sub>5</sub>薄膜が250℃以上の温度にさらされると、MIM素子の特性、特に非線形性が、実用上使いものにならない程度まで落ちてしまうことがわかっている。このため、下部電極5aのエッチング端を保護するための第2の絶縁体24の形成に先立って第1の絶縁体8を形成する場合には、第2の絶縁体24の成膜温度は第1の絶縁体8の機能を損なわない程度の温度(本実施例のように第1の絶縁体8がTa<sub>2</sub>O<sub>5</sub>から形成されるときには約250℃以下)にしなければならぬ。なお、第2の絶縁体24の成膜は、温度さえ上述したように設定されていさえすれば、どのような方法を用いてもよい。

【0137】本実施例では、第2の絶縁体24としてスパッタリング法で二酸化ケイ素からなる膜を200℃で形成し、緩衝弗酸を用いたウェットエッチング法により所定形状にパターンニングした。絶縁体24のパターンニングは、ウェットエッチング法に代えてドライエッチング法を用いても良い。

【0138】また、下部電極5aのエッチング端は、絶縁体8と絶縁体24とで2重に保護されるので、絶縁体24をピンホールが生じやすいスパッタリング法を用いて成膜することができる。

【0139】こうしてパターンニングして絶縁体24を形成した後に、例えばTi薄膜を基板2の表面2a上に形成し、これをパターンニングして上部電極6を得る(図7(d))。このようにして、下部電極5a、第1の絶縁体8および上部電極6からなる2端子非線形素子としてのMIM素子が得られる。

【0140】本実施例のMIM素子4では、実施例1と同様に、スリット25を介して上部電極6と第1の絶縁体8とを接続している。このため、不可逆的に発生する付加容量C<sub>add</sub>となる部分の面積が幾何学的に最小となる。具体的に、素子容量および付加容量を計算するために、下記の条件を用いる。

【0141】

- 素子の構造 : 図6(a)
- 下部電極の仕上がり線幅 : 10μm
- 上部電極の仕上がり線幅 : 4μm
- スリットの仕上がり線幅 : 4μm
- 絶縁体8(Ta<sub>2</sub>O<sub>5</sub>)の膜厚(d<sub>oxide</sub>)および比誘電率(ε<sub>oxide</sub>) : 60nm、2.0

中間絶縁層 24 (SiO<sub>2</sub>) の膜厚 (d<sub>800</sub>) および比誘電率 (ε<sub>SiO<sub>2</sub></sub>)  
: 200nm, 4

上記の数値を用いると本来のMIM素子の面積  
(S<sub>018</sub>)は16μm<sup>2</sup>、付加の容量体の面積(斜線部  
E、S<sub>add</sub>)は、4×3+4×3=24μm<sup>2</sup>となり、

$$C_{add} = C_{018} \times \left( \frac{\epsilon_{SiO_2} \cdot d_{100} + \epsilon_{SiO_2}}{\epsilon_{SiO_2} \cdot d_{100} + \epsilon_{SiO_2}} \right) \div \left( \frac{\epsilon_{SiO_2} \cdot d_{100} + \epsilon_{SiO_2}}{\epsilon_{SiO_2} \cdot d_{100} + \epsilon_{SiO_2}} \right) \div d_{100}$$

$$\approx C_{018} \times 0.0849 \text{ となる。}$$

【0142】すなわち、付加の容量は本来の素子容量C<sub>018</sub>の約8%で済み、もともと10で設計した液晶と素子の容量比は、10/(1+0.08)≒9.3の減少で済み。

【0143】上部電極の仕上がり幅=10μm、コンタクトホールの上がり面積を4μm×4μmとした従来のMIM素子では、上式のS<sub>add</sub>=84μm<sup>2</sup>で計算すればよいので、

C<sub>add</sub>=C<sub>018</sub>×0.297  
である。すなわち、もともと液晶と素子の容量比が10で設計したものが、10/(1+0.30)≒7.7と容量比の低下が大きくなってしまいうが、本実施例のMIM素子では、7.7から9.3に改善できる。

【0144】本実施例においても、実施例1と同様に、C<sub>add</sub>/C<sub>018</sub>×0.25である限り、下部電極5aと中間絶縁層24との重ね合わせマージンを大きくしたり、上部電極6の縁幅を太くして、より素子の形成を容易にしても構わない。

【0145】また、本実施例では第2の絶縁体24の形状を2本のストライプで形成したが、図5(a)から(c)に図示した形状でスリットを設けて、絶縁体24のパターニング精度や断線を改善することも可能である。

【0146】このようにして上部電極6を形成した後には、基板2の表面2a上に、例えばITO等の透明導電膜を形成し、所定の形状にパターニングして、マトリクス状に配線された複数の画素電極7を形成する(図7(e))。

【0147】この後、配向膜(図示せず)を形成し、これにラビング処理を行った素子側基板に、対向側電極および配向膜を形成し、配向膜にラビング処理を行った対向側基板を貼り合わせ、さらに両基板間に液晶材料を封入することにより液晶層を形成する。これで液晶セルが完成する。この液晶セルの両面に偏光板を貼り付けることによって、液晶表示装置が得られる。

【0148】以上説明したように、本実施例の液晶表示装置においても、上記実施例1と同様に、スリットを介して上部電極と非線形な電圧-電流特性を有する第1の絶縁体とを接続しているため、付加的な容量体となる部分の面積を幾何学的に最小にすることができる。したがって、付加容量が発生することに起因して液晶と素子の容量比が設計値から減少するのを防ぐことができる。

付加容量C<sub>add</sub>は五酸化タングstenと二酸化ケイ素の2重構造であることに注意すれば、

また、MIM素子の寸法はスリットの幅と上部電極の縁幅とによって決定され、しかも露光の際の仕上がり特性はスリットと上部電極とは逆なので、MIM素子の面積が設計値よりも減少する程度を緩和することができる。さらに、同様の理由で、露光の際の投影異常により同一基板上においてMIM素子の寸法にばらつきが生じるのも緩和することができ、その結果、液晶表示装置の点灯ムラを抑えることができる。

【0149】(実施例3) 図8は、実施例3における素子側基板の平面図である。また、図9(a)、(b)は、それぞれ、図8のH-H'線およびI-I'線に沿った素子側基板の断面図である。

【0150】上記実施例1および2では、MIM素子4の下部電極5aとして、信号配線5から張り出させた分岐部分を用いた。しかしながら、下部電極のエッチング端を使用しない構造の素子を形成する際には、下部電極の縁幅は、パターンニングの誤差やエッチングの仕上がりを見込んで、あらかじめ太くしておく必要がある。したがって、信号配線5の縁幅と下部電極5aの縁幅がほぼ同等であれば、もはや信号配線の分岐部を下部電極として用いる必要はなくなり、信号配線5の一部を下部電極とすることができる。

【0151】結果として、MIM素子を作るために表示部のスペースの一部を割く必要はなくなる。このため各画素電極7の面積を大きくすることができ、開口率を向上させることができる。したがって、反射型液晶表示装置の場合では明るい表示が得られる。また透過型液晶表示装置の場合では、バックライトの輝度を下げることが可能となり、消費電力を少なくすることができる。

【0152】図8は、信号配線5の一部をMIM素子4の下部電極として用いた場合の素子側基板の平面図である。図8に示すように、本実施例では分岐部分5aを設けず、MIM素子4を信号配線5の直上に設けている。絶縁体24は、信号配線5と平行になるように、信号配線5のエッチング端近傍の直上にストライプ状に形成されている。また、上部電極6は、信号配線5に直交する向きに(すなわち絶縁体24のストライプと直交する方向)形成されており、上部電極6の一端に画素電極7が接続されている。

【0153】この素子側基板は、実施例1と同一の工程で得られる(図示せず)。

【0154】まず、ガラス基板2の表面2aに信号配線

5となる金属薄膜、例えばTa薄膜を形成し、所定の形状にパターニングする。本実施例では、ガラス基板2としてコーニング社製#7059のフュージョンバイレックスガラスを用いた。また、図示してはいないが、Taを成膜する前にガラス基板表面に五酸化タンタルなどの絶縁膜を有するペースコート膜を形成しても良い。

【0155】Ta薄膜は、窒素を2~10mol%含有するTaの焼結体ターゲットを使用したDCスパッタリング法により厚み300nmに形成し、 $CF_4$ と $O_2$ を用いたドライエッチング法を用いて所定の形状にパターニングし、これにより信号配線5を得た。

【0156】また、実施例1および2で述べたように、本実施例においても必ずしも精度が高いドライエッチング法を用いなくてもよい。非硝酸などを用いたウェットエッチング法でもよい。ウェットエッチング法は処理速度を向上させるので、スループットを考えると好ましい。

【0157】次に、中間絶縁層となる第2の絶縁体24を成膜し、素子を形成する近傍の信号配線5のエッチング端部辺りの上に、ストライプ状にパターニングし、スリット状のコンタクト部分25を設ける。

【0158】本実施例では、第2の絶縁体24としてP-CVD法で窒化ケイ素を350℃で厚み300nmで成膜し、緩衝弗酸を用いたウェットエッチング法により所定の形状にパターニングした。絶縁体24のパターニングは、ウェットエッチング法でなくドライエッチング法を用いてもよい。

【0159】次に、第1の絶縁体8を陽極酸化法を用いて第2の絶縁体24に覆われていない信号配線5上に形成した。本実施例では、陽極酸化に用いる電解液として1%酒石酸アンモニウム溶液を用い、温度を25℃、化成電流を陽極酸化される面積に対し $0.18mA/cm^2$ とし、化成電圧を31Vとして陽極酸化を行い、厚み約60nmの陽極酸化膜を得た。

【0160】こうして陽極酸化を実施した後に、上部電極6を例えば1μmで形成し、信号配線5（下部電極を兼ねている）、第1の絶縁体8および上部電極6からなる2端子非線形素子を得られる。

【0161】本実施例のMIM素子4においても、コンタクトスリット25を介して第1の絶縁体8に下部電極5aと上部電極6とが接続されている。したがって、不可避的に発生する付加の容量 $C_{ad}$ となる部分の面積は幾何学的に最小となり、図8に示す領域Jとなる。すなわち、本実施例のMIM素子では、従来のコンタクトホールを介して上部電極と下部電極とが接続されている構造と比較して付加容量が小さく、液晶表示装置のコントラスト比を落としたり、駆動電圧を高くする原因となる液晶と素子との容量比の低下を最小限に抑えることができる。

【0162】加えて、第2の絶縁体24の形状をストライプ状にし、それによりスリットを形成しているので、

パターニング時の線路リ等による接続不良が無い構造とすることができる。

【0163】また、本実施例では第2の絶縁体24の形状を2本のストライプで形成したが、図5(a)から(c)に図示した形状に準じてコンタクトスリットを設けてもよい。

【0164】こうして上部電極6を形成した後に、基板2の表面2aに、例えばITO等の透明導電膜を形成し、これをパターニングして、マトリクス状に配置された画素電極7を形成する。

【0165】この後、配向膜（図示せず）を形成し、これにラビング処理を行った素子側基板に、対向側電極および配向膜を形成し、配向膜にラビング処理を行った対向側基板を貼り合わせ、さらに両基板間に液晶材料を封入することにより、液晶層を形成する。以上で液晶セルが完成する。この液晶セルの両面に偏光板を貼り付けることによって液晶表示装置が得られる。

【0166】本実施例では、上記実施例1と同様に、第2の絶縁体（中間絶縁層）24を形成した後に、第1の絶縁体8を形成するための陽極酸化を実施したが、プロセスの順番を変え、実施例2と同様に、陽極酸化により第1の絶縁体8を形成した後に第2の絶縁体（中間絶縁層）24を形成してもよい。この場合には、信号配線の一部を利用した下部電極のエッチング端を、第1の絶縁体8および第2の絶縁体24で二重に保護することができ、なお、この場合には、第2の絶縁体24を形成する温度は、上記実施例2で述べたように、第1の絶縁体8の機能を損なわない程度の温度に設定する必要がある。

【0167】なお、実施例1、2および3とも、TNモードの液晶表示装置例として説明したが、反射板をセル内に作った相転移型のGHモードの液晶表示装置においても同じように、本発明の2端子非線形素子を形成することができる。さらに、2端子非線形素子を用いた、他の光学モード、例えば1枚偏光板方式や高分子分散型の液晶表示装置にも適用できることはいずれでもない。

【0168】また、第2の絶縁体（中間絶縁層）24の材料として金属硫化物や金属窒化物を挙げたが、誘電率が小さく電気的耐圧のある材料でありさえすればよく、上記材料には限定されない。例えば絶縁性を有する有機材料であっても構わない。また、実施例では中間絶縁層として単層の絶縁体膜を用いたが、単層である必要は必ずしもない。例えば、下地との密着性の優れた材料（絶縁性は劣っていてもよい）と耐圧の優れた絶縁体との積層物であってもよい。

【0169】

【発明の効果】以上説明したように、本発明の液晶表示装置は、コンタクトスリットを介して、下部電極、非線形電圧-電流特性を有する絶縁体、および上部電極を接続し、絶縁線路の生じやすい下部電極のエッチング端

の上方は素子として使用しない。このため、点欠陥を抑制することができる。

【0170】また、コンタクトスリットを用いることにより、MIM素子に不可避的に付加される容量を最小限にすることができる。したがって、液晶と素子との容量比を支障なく表示を行うことができる程度の値に確保しやすくなる。また、コンタクトホールを介して絶縁体と上部電極とを接続する構造のMIM素子において生じやすい膜残りの接続不良も抑制することができる。

【0171】さらに、信号配線の一部を下部電極として、信号配線の直上にMIM素子を形成することができる。これにより液晶表示装置の輝度を上げることができる。

【0172】加えて、露光時の投影像のひずみによる素子面積のばらつきが、コンタクトスリットを用いることにより、コンタクトスリットの幅と上部電極の幅が相互に補正して仕上がるので、点欠陥を抑制できる。

#### 【図面の簡単な説明】

【図1】 本発明の液晶表示装置の実施例1における素子側基板の平面図である。

【図2】 図1の素子側基板におけるMIM素子近傍を示す平面図である。

【図3】 実施例1における素子側基板の断面図であり、(a)は図1のE-E'線に沿った断面図、(b)はF-F'線に沿った断面図である。

【図4】 図1の素子側基板の製造工程を示す断面図である。

【図5】 (a)から(c)は、いずれも、本発明の液晶表示装置の變形例を示す平面図である。

【図6】 本発明の液晶表示装置の実施例2における素子側基板の断面図である。

【図7】 図6の素子側基板の製造工程を示す断面図である。

【図8】 本発明の液晶表示装置の実施例3における素子側基板の平面図である。

【図9】 実施例3における素子側基板の断面図であり、(a)は図8のH-H'線に沿った断面図、(b)はI-I'線に沿った断面図である。

【図10】 液晶表示装置の平面図である。

【図11】 従来のMIM素子が形成された素子側基板

の平面図である。

【図12】 対向側基板の平面図である。

【図13】 従来のMIM素子が形成された液晶表示装置の断面図である。

【図14】 図11の素子側基板の製造工程を示す断面図である。

【図15】 MIM素子をスイッチング素子として用いた反射型カラー液晶表示装置の素子側基板の平面図である。

【図16】 反射型カラー液晶表示装置の対向側基板の平面図である。

【図17】 反射型カラー液晶表示装置の断面図である。

【図18】 (a)はMIM素子の等価回路を示す図であり、(b)および(c)はそれぞれ素子側端子および対向側端子に印加される波形例であり、(d)は(b)と(c)とによって得られる駆動波形、(e)は(d)の駆動波形によって液晶に加わる電圧の時間変化を示す図である。

【図19】 液晶／素子の容量比とコントラスト比との関係を示すグラフである。

【図20】 (a)は従来のコンタクトホール型MIM素子を形成した素子側基板の平面図であり、(b)から(d)は(a)のD-D'線に沿った断面図である。

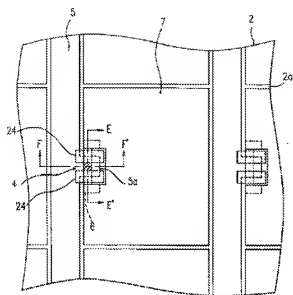
【図21】 ステッパー露光の概略図である。

【図22】 MIM素子の寸法仕上りの分布例を示す図である。

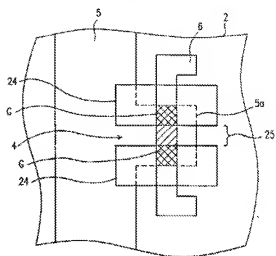
#### 【符号の説明】

- 2 素子側基板
- 2a 表面
- 4 MIM素子
- 5 信号配線
- 5a 下部電極
- 6 上部電極
- 7 潤滑電極
- 8 第1の絶縁体
- 9 対向電極
- 24 第2の絶縁体
- 25 コンタクトスリット

【图 1】

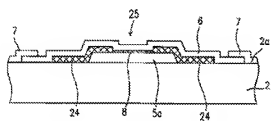


【图 2】

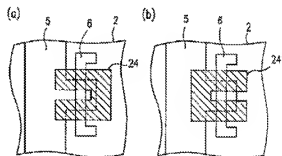


【图 3】

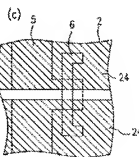
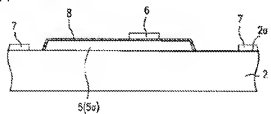
(a) E-E' 断面图



【图 4】

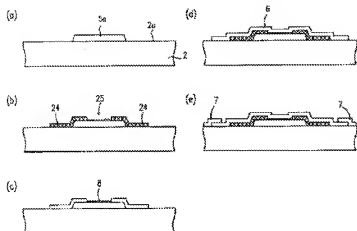


(b) F-F' 断面图

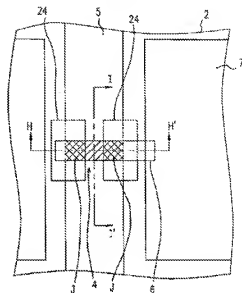




【圖 4】

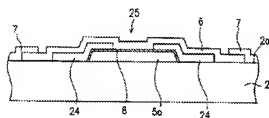


【圖 8】

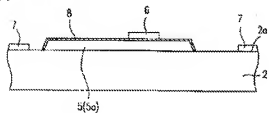


【圖 6】

(a) E-E'斷面圖

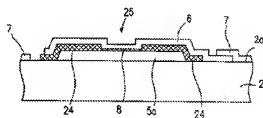


(b) F-F'斷面圖

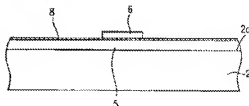


【圖 9】

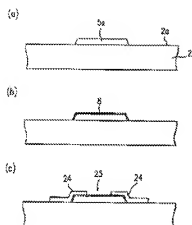
(a) H-H'斷面圖



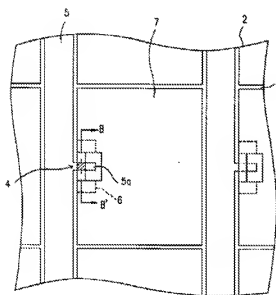
(b) I-I'斷面圖



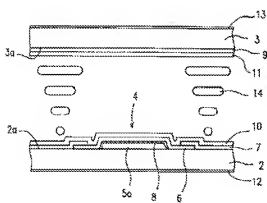
【図 7】



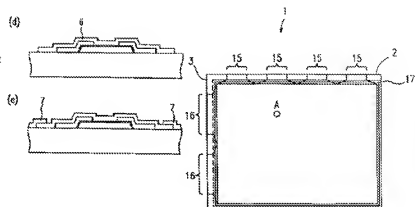
【図 11】



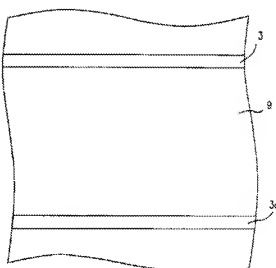
【図 13】



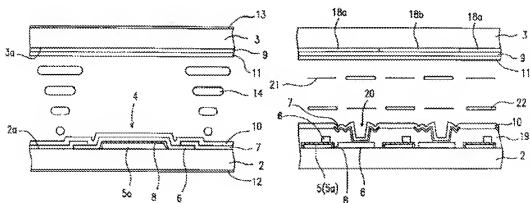
【図 10】



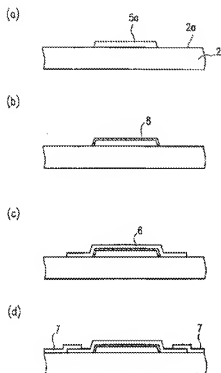
【図 12】



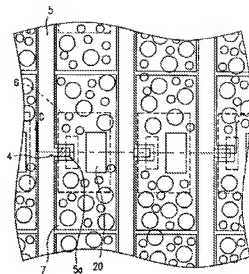
【図 17】



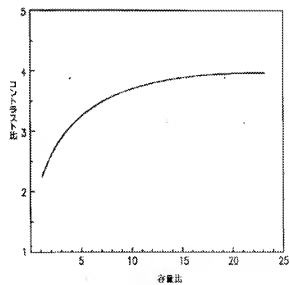
【図 14】



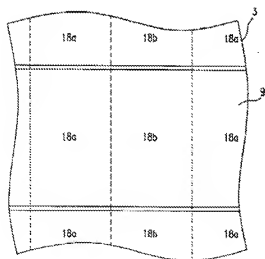
【図 15】



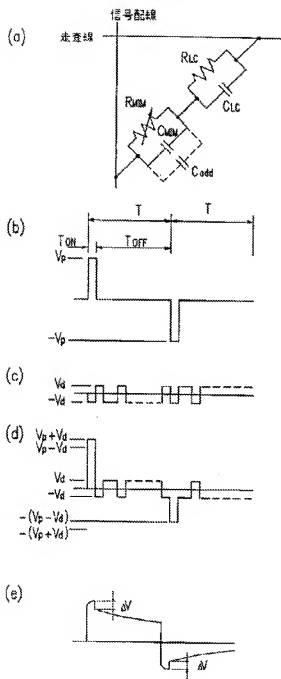
【図 19】



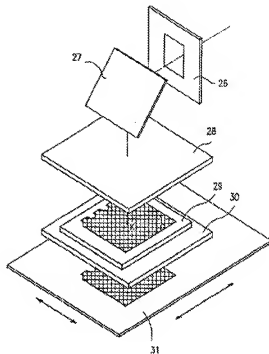
【図 16】



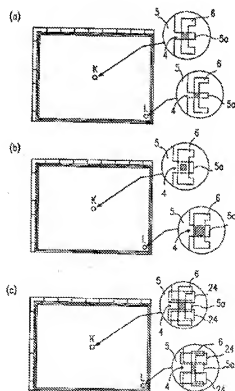
【圖 1 8】



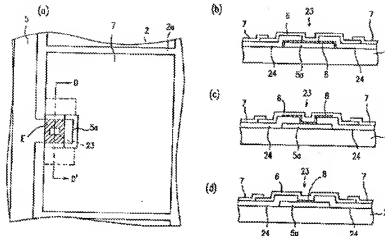
【圖 2 1】



【圖 2 2】



【図20】



【手続補正書】

【提出日】平成8年5月17日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0070

【補正方法】変更

【補正内容】

【0070】

素子の構造 : 図20(d)  
 下部電極の仕上がり線幅 :  $10\mu m$   
 上部電極の仕上がり線幅 :  $10\mu m$   
 スルーホール（素子）の仕上がり面積 :  $4\mu m \times 4\mu m$   
 絶縁体8 ( $Ta_2O_5$ ) の膜厚 ( $d_{Ta_2O_5}$ ) および比誘電率 ( $\epsilon_{Ta_2O_5}$ ) :  $60nm$ 、 $20$   
 中間絶縁層 ( $Si_3N_4$ ) の膜厚 ( $d_{Si_3N_4}$ ) および比誘電率 ( $\epsilon_{Si_3N_4}$ ) :  $300nm$ 、 $8$

上記の数値を用いると本来のMIM素子の面積 ( $S_{MIM}$ ) は  $16\mu m^2$ 、付加の容量体の面積（斜線部  $E$ 、 $S_{cap}$ ) は  $10 \times 10 - 16 = 84\mu m^2$  となる。

【手続補正2】

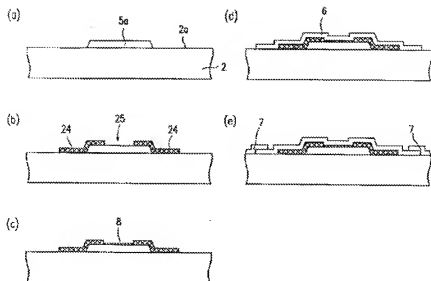
【補正対象書類名】図面

【補正対象項目名】図4

【補正方法】変更

【補正内容】

【図4】



【手続補正 3】

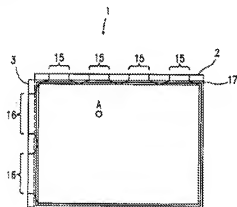
【補正対象書類名】 図面

【補正対象項目名】 図 10

【補正方法】 変更

【補正内容】

【図 10】



【手続補正 4】

【補正対象書類名】 図面

【補正対象項目名】 図 22

【補正方法】 変更

【補正内容】

【図 22】

